

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-159745
 (43)Date of publication of application : 19.07.1986

(51)Int.CI.

H01L 21/60

(21)Application number : 60-000209
 (22)Date of filing : 07.01.1985

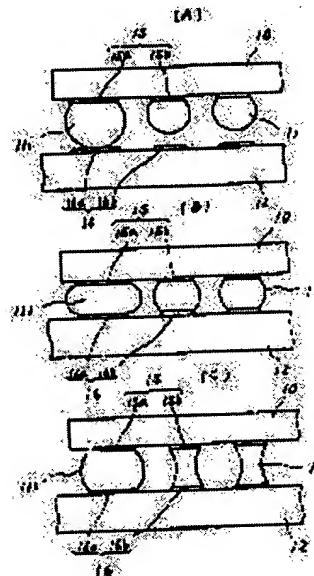
(71)Applicant : HITACHI LTD
 (72)Inventor : KURIHARA YASUTOSHI
 INOUE KOICHI
 SAWAHATA MAMORU
 YATSUNO KOMEI

(54) FINE CONNECTING PACKAGE STRUCTURE

(57)Abstract:

PURPOSE: To improve life characteristics by providing one part of the outer circumferential region of a fine solder group connecting a metallic layer carried to a semiconductor base body and a metallic layer carried to a dielectric substrate with a means controlling the shape of the fine solder group.

CONSTITUTION: A metallic region 111 is brought into contact with a metallic layer 16a at a step when a chip 10 and a substrate 12 are positioned, but a fine solder 11 is not brought into contact with a metallic layer 16b. When flux is applied to an assembly and heated in a nitrogen atmosphere, the fine solder 11 begins to melt at approximately 183° C, the metallic region 111 begins to melt at approximately 290° C, and both the solder and the region are melted completely at a maximum temperature of 350° C. When the chip 10 and the substrate 12 are pushed each other under the state, the fine solder 111 and the metallic layer 16b are joined. A clearance between the chip 10 and the substrate 12 is expanded by the surface tension of the metallic region 111 with the release of pushing, and the fine solder 11 is adjusted to a shape of a diameter smaller than metallic layers 15b and 16b. Accordingly, the form of a connecting section in a region to which thermal stress is applied is controlled, thus improving the life characteristics of a fine connecting package structure.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑩ 日本国特許庁 (JP) ⑪ 特許出願公開
⑫ 公開特許公報 (A) 昭61-159745

⑬ Int.Cl.⁴
H 01 L 21/60

識別記号 庁内整理番号
6732-5F

⑭ 公開 昭和61年(1986)7月19日

審査請求 未請求 発明の数 1 (全8頁)

⑮ 発明の名称 微少接続パッケージ構造体

⑯ 特 預 昭60-209
⑰ 出 預 昭60(1985)1月7日

⑱ 発明者 栗原 保敏 日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内
⑲ 発明者 井上 広一 日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内
⑳ 発明者 沢島 守 日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内
㉑ 発明者 八野 耕明 日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内
㉒ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
㉓ 代理人 弁理士 小川 勝男 外2名

明細書

発明の名称 微少接続パッケージ構造体

特許請求の範囲

1. 集積回路又は記録路を有する半導体基体及び電気的相互接続路を有する誘電体基板を相互の対向面の略全域において接続したパッケージ構造体において、上記半導体基体に担持された第1の金属層と上記誘電体基板に担持された第2の金属層とを電気的及び機械的に接続する微少はんだ群と、上記微少はんだ群の外周領域の少なくとも一部に配置されて上記微少はんだ群の形状を制御する手段を含んで構成されたことを特徴とする微少接続パッケージ構造体。

発明の詳細な説明

〔発明の利用分野〕

本発明は、半導体基体と誘電体基板間を電気的かつ機械的に結合するための微細かつ多数の微少はんだ群の形状を調節して、改良された耐熱疲労寿命が付与された微少接続パッケージ構造体に関するものである。

〔発明の背景〕

半導体基体を誘電体基板に結合するに適する方法は、米国特許公報第3,429,040号(1)に開示されている如く、約5ないし40重量%錫及び95ないし60重量%錫のはんだ組成物を溶融(reflow)せしめて相互に接続することである。半導体基体を誘電体基板に結合するための基本的冶金構造は、半導体基体に形成された金属層、例えば代表的に上記基板側から1000Åの厚さのクロム層、略1000Åの銅十クロム層、略1000Åの銅層、1400Åの金層からなる積層金属層上に、高さ略 7.1×10^{-4} cmの鉛層、高さ略 0.375×10^{-3} cmの錫層よりなる積層金属層を形成した後、上記構造体をいつたん溶融処理して錫及び錫からなる合金、即ちはんだが作られる。次いで上記構造体は誘電体基板上に位置合せされた後再度溶融処理され、半導体基体と誘電体基板とが相互に冶金的に接続されたパッケージ構造体が形成される。誘電体基板上には金属化層、即ち上記基板側からクロム層、銅層が順次形成され、冶金パターンに供される。

パッケージ構造体の相互接続は主として上記はんだによりなされるが、はんだと半導体基体又は誘電体基板間界面には上記金属化層が存在する。上記パッケージ構造体において、はんだは半導体基体と誘電体基板との間の間隙のほぼ中央に対応する部分で、接続界面より大きな直徑を有していて、界面との接触部以外の部分で球面を形成している。

この結果、上記パッケージ構造体の物理的故障の多くは半導体基体側金属化層近傍のはんだ領域で生ずるが、この故障はパッケージ構造体構成部材の熱膨張係数差に起因し、はんだの熱疲労破壊による電気的断線として観測される。この観測結果から、パッケージ構造体の相互接続部に発生する最大歪及び応力は、接続部の形状、寸法等に関する性質を改善するためには、歪ないし応力の集中を避ける接続構造を導入する必要のあることが理解される。

接続部の形状、寸法によつて歪ないし応力分布を改善し、もつてパッケージ構造体の熱疲労寿命

とえられて、上記隆起領域を包囲する如くに半導体基体に配置されている電気接続用はんだが誘電体基板側接続端子と結合され、次いで冷却過程で接続部の誘電体基板側に突起状の段差を設け、同基板の突起部及び突起部を包囲する低面部に電気接続用端子を配置し、これらの端子に半導体基体側に設けたはんだバンプを溶融接続し、この際はんだバンプは突起部の段差に見合ひ長さに引伸ばされて柱状構造となることを示している。そして、特公昭53-45280号(6)では、半導体基体又は誘電体基板の少なくとも一方を強制的に動かし、所定の間隙を保ちながらはんだを凝固させることにより、はんだバンプ形状を中央部が細くなるようにする方法を開示している。特開昭59-5637号(7)では、半導体基体と誘電体基板とのはんだ接続部を鼓型にすることを開示している。

以上に示した(2)～(7)の先行技術では、微少はん

を向上せしめる試みは、次の諸文献に開示されている。P. LinらによるSolid State Technology, 48～54頁, July, (1970年) ICにおける“Design Considerations for a Flip-Chip Joining Technique”と題する論文(2)では、半導体基体側接合界面と誘電体基板側接合界面との面積比を調整して寿命を制御することが論じられている。また、特公昭43-28735号(3)では、半導体基体のほぼ中央部に体積の大きい形状制御用のはんだバンプそして同バンプを包囲する如くに半導体基体の略周縁部に配置された電気接続用はんだバンプを形成しておき、半導体基体と誘電体基板との接続溶融処理時に形状制御用溶融はんだの表面張力により半導体基体を持上げて、電気接続用はんだを柱状に制御することが示されている。さらに、特開昭49-88077号(4) (米国特許公報第314,056号)では、溶剤による除去が可能な重合体からなるボス又はペデスタルと称する隆起領域を誘電体基板上に形成し、半導体基体の接着過程で隆起領域が軟化し、同時に加熱手段から押圧が

だの熱疲労寿命を向上させるために同はんだの形状の改良が有効的であること及び改良された形状を得るための方法を開示している。しかし、これらの技術は半導体基体内の素子の集積密度及び配線密度の向上にともなつて、基体及び誘電体基板との電気的接続部がより微細かつ高密度でしかも接続点数が一層多くなつた場合の問題を認識していない。次にこの点をより詳細に説明する。

A.J. Blodgett及びD.R. BarbourによるIBM J. Res. Develop., Vol. 28, No. 1, 30～36頁(1982年)における“Thermal Conduction Module: A High-Performance Multilayer Ceramic Package”と題する論文(8)では、演算速度の高速化が特に要求される大型電子計算機用プロセッサ装置を開示している。即ち、限定された半導体基体中に半導体素子を多数個集積し、もつて各素子間の電気的連絡配線長を可及的に短縮した半導体基体、即ちLarge Scale Integrated Circuit(以下LSIと言つ)チップと、そのLSIチップを搭載し同チップと外部回路を電気的中継接続

する誘電体基板も多層かつ高密度に配線され、もつて中継接続配線長を実質的に短縮した基板とを、高密度に配置された微少はんだにより電気接続した構成が開示されている。この場合LSIチップは121個の微少はんだにより電気接続される。しかしながら、更に半導体素子を高密度に集積し、配線密度を高めると同時にチップサイズを大型化したLSIチップが開発されつつあるが、これにともなつて微少はんだによる基板との接続点数も大幅に増えることが必須の状況である。この状況に対しても、上記(2)～(7)の従来技術に見られるような半導体基体の周縁にのみ電気的接続部を配置するだけでは対応できない。この理由は接続点数を多くとれないからである。一方、(8)の先行技術を多くとれないからである。一方、(8)の先行技術を多くとれないからである。一方、(8)の先行技術を多くとれないからである。

基体と誘電体基板を微少はんだ群により相互に接続した構造体であつて、(1)半導体基体と誘電体基板との対向面の略全域に配置され上記基体及び基板間の電気的及び機械的結合のための微少はんだ群と、(2)上記微少はんだ群の外周領域の少なくとも一部に配置され、上記基体及び基板間の電気的結合を担うと同時に上記微少はんだ群を形状制御する手段を担う微少金属ソルダ、とを含んで構成されている。

本発明において、最も基本的な概念は、大型半導体を接続する場合に特に著しく発生する疲労破壊による微少はんだの物理的故障を軽減ないし防止するために、微少はんだ群の形状制御用金属領域を微少はんだ群の配置されている外周領域の少なくとも一部に設ける点にある。上記概念を具現化するため、上記形状制御用金属領域を上記微少はんだ群より少なくとも(1)表面積又は体積が大きく、(2)固相点又は液相点が高く、そして(3)降伏強度が大きくなるように調整することを開示するものである。

〔発明の目的〕

本発明の目的は、大型半導体基体と誘電体基板との間の対向面の略全域に上記基体及び基板間の電気的、機械的結合のための微少はんだ群を配置し、上記はんだ群の外周領域の少なくとも一部において、上記はんだ群に制御された接続部形状を付与して寿命特性を改良する形状制御手段が配置されてなる微少接続パッケージ構造体を提供することにある。本発明の他の目的は、上記形状制御手段に上記微少はんだ群の個々より少なくとも大きい表面積又は体積を付与し、上記微少はんだ群の接続部形状を制御する点にある。本発明の更に他の目的は、上記形状制御手段を上記微少はんだ群より少なくとも高い固相点又は液相点を有する金属ソルダで構成する点にある。本発明の更に他の目的は、上記形状制御手段を上記微少はんだ群より少なくとも降伏強度の大きい金属ソルダで構成する点にある。

〔発明の概要〕

本発明の微少接続パッケージ構造体は、半導体

一般に、熱膨張係数の異なる部材どうしを微少はんだにより接続した構造体における接続部の剪断破壊寿命サイクル数(N)は次式で表現される。

$$N = \left(\frac{S \cdot h}{\epsilon \cdot 4\alpha \cdot \Delta T} \right)^a \quad \dots (1)$$

ここで、S：接続部面積、h：接続部高さ、 ϵ ：中心から接続部に至る距離、 4α ：部材間の熱膨張係数差、 ΔT ：温度変化量、そしてa：定数(通常約2)である。半導体基体のサイズが大型化されるにともなつて疲労破断に関して影響を受けやすい外周領域の接続部はとの増大をともなり。又、集積密度が高まり配線パターンの微細化にともなつてSが小さくなること、及び接続部相互間の電気的接觸の問題を避ける意味からはんだ供給量を減らさねばならず必然的にトの縮小もまぬがれ得ない。これらの点は、上式に照合して理解されるように、剪断破壊寿命サイクル数の低下を招来することとなる。本発明はかかる高集積度、大型化半導体基体の高密度接続実装系において生ずる新たな課題を、上述した概念及び手法で解決する。

しようとするものである。

本発明において、形状制御手段としての金属領域に微少はんだ群の個々よりも実質的に大きい表面積又は体積が付与されるのは、パッケージ構造体を得るためのリフロー過程で上記はんだ群及び形状制御用金属領域の溶融時に、表面積又は体積の小さい微少はんだ群が半導体基体及び誘電体基板間隙を縮めようとする力に対抗する適度の反力を上記金属領域に生ぜしめるためである。又、本発明において、形状制御手段としての金属領域を微少はんだ群よりも高い固相点又は液相点を有する金属で構成するのは、溶融した微少はんだの固化が完了するまでのリフロー過程で、微少はんだの凝固収縮により半導体基体及び誘電体基板間隙を縮めようとする力に対抗する適度の反力を上記金属領域に生ぜしめるためである。更に本発明において、形状制御手段としての金属領域を微少はんだ群より降伏強度の大きい金属ソルダで構成するのは、上記リフロー過程で凝固収縮力に対応する反力を安定的に得ると同時に、上記金属領域

自体の塑性変形を防止するためである。更に、形状制御手段としての金属領域は、パッケージ構造体使用時の熱的变化にともなつて発生する熱応力ないし歪の影響を最も受けやすい外周部に配置されるため、例えば上式の剪断破壊寿命の低下に深いいかかわりを持つ。しかし、本発明者らは、種々検討した結果、上記金属領域の機械的強度、特に降伏強度を高めることにより、金属領域に集中すべき熱応力が被接合体、即ち半導体基体及び誘電体基板へ適度に分散され、塑性変形による疲労の蓄積が抑制される結果、上記剪断破壊寿命が伸長されることを確認した。上記金属領域が微少はんだ群より降伏強度が高くなるように調整される別の理由はこの点にある。

〔発明の実施例〕

次に図面を参照して、本発明の実施例を更に詳細に説明する。第1図は第1実施例、即ちLSIチップ10として示されている半導体基体を誘電体基板12に微少はんだ群11により電気的かつ機械的に接続した大型電子計算機プロセッサ装置

用パッケージ構造体の概略断面図である。又、第2図は第1図を立体的に示した倍蔵断面図である。両図を参照して説明するに、シリコン基体に固体回路を形成してなる面積 $1.3\text{ mm} \times 1.3\text{ mm}$ のLSIチップ10が、誘電体基板としてのアルミナを母材とした多層配線基板12の一方の側に一例として40重量%の鉛と60重量%の錫からなる微少はんだ群11及び微少はんだ群11の周囲に配置された94重量%鉛と5重量%錫と1重量%銅からなる形状制御手段としての金属領域111により、電気的及び機械的に接続されている。基板12はその他の側から突出する接続ピン14を有している。これらのピン14は補助回路等を組み込んだ配線ボード13(図示せず)に差込まれて電気的接続に供される。チップ10の接着側には、固体回路のアルミニウム配線パターン(図示せず)に連絡するよう形成された第1金属層15がマトリックス状に配列されている。この金属層15は基体側から厚さ略1000Åのクロム層、略1000Åの銅十クロム層、略6000Åの銅層、

略2000Åの金層からなる積層金属層がバーナーニングされてなるもので、微少はんだ群11及び金属領域111との第1の結合界面を形成する。

多層配線基板12はチップ10との電気的接続に供される面上に、上記金属層15に対応する領域に焼成して形成された銅を最下層としこれに厚さ略3000Åのニッケル層、略2000Åの金層をそれぞれめつき形成した第2金属層16がバーナーニングされており、微少はんだ群11及び金属領域111との第2の結合界面を形成している。上記第1金属層15及び第2金属層16の間には微少はんだ群11が配置されるとともに溶融接続され、上記チップ10及び基板12間の電気的並びに機械的結合に寄与している。ここで、金属層15はピッチ $2.00\mu\text{m}$ でチップ10上に略3000個形成されて群をなしており、微少はんだ11に對応する金属層15bは直径略 $1.00\mu\text{m}$ そして金属領域111に對応する金属層15aは直径略 $1.50\mu\text{m}$ に調整され、金属層16は金属層15と同じピッチで基板12上に形成され、微少は

だ11に対応する直径略100μmの金属層16bと金属領域111に対応する直径略150μmの金属層16aから構成されている。チップ10及び基板12の間隙は略120μmに調整されており、この間隙に介在する微少はんだ11は金属層15b及び16bより直径の小さい部分を有する略柱状に、そして金属領域111は金属層15a及び16aより直径の大きい部分を有する略球状に形成されている。微少はんだ11の最少直径は略70μmそして金属領域111の最大直径は略200μmである。

第3図は上記実施例パッケージ構造体の概略断面図を、典型的製作手順に沿つて開示するものである。同図(a)は相互に結合されるべきチップ10と基板12が位置合せされた状態を示す。チップ10の金属層15a, 15bには、あらかじめぬつき法、蒸着法の如き周知の技術によつて形成された後溶融熱処理によつて略球状に成形された金属領域111、微少はんだ11が設けられている。チップ10と基板12が位置合せされた段階では、

によつてチップ10と基板12間間隙が広げられ、同時に微少はんだ11は略柱状、より詳細には金属層15b又は16bより小さい直径の部分を有する形状に調整される。引焼き降温過程に移るが、この段階では生ず金属領域111が約315℃で固相化を開始し約290℃で完了する。しかし、この段階では微少はんだ11は溶融状態が継続されているが、降温の继续により微少はんだ11は約190℃で固相化を開始し、約183℃で完了する。この際、微少はんだ11は固相化にともなつて凝固収縮し、チップ10と基板12間の間隙を縮めようとする力を及ぼすが、これに對し既に固相化が完了している金属領域111が凝固収縮に対する反力を生じ、終局的に間隙の縮小を抑制する役割を演じている。

本発明において、微少はんだ群の形状制御をするための金属領域は、微少はんだ群よりも少なく

金属領域111は基板12側の金属層16aに接触しているが、微少はんだ11は金属層16bには接触されていない。次に、位置合せされたアツセンブリにフラックスを塗布した後、窒素雰囲気中で加熱する。この加熱段階では、先ず微少はんだ11が約183℃で溶融し始め、更に加熱し続けると約290℃で金属領域111が溶融し始め、典型的到達最高温度350℃ではいづれも完全に溶融され、金属領域111と金属層16aの冶金的接合がなされる。この完全溶融状態下でチップ10及び基板12間に押圧を与えると、図(b)の如き状態になり、微少はんだ11と金属層16bとの冶金的接合がなされる。この段当然のことながら金属領域111は押しつぶされた状態になり、近傍の微少はんだ11と接触する危険をともなうが、この危険はチップ10と基板12の間隙を略70μm以上に保つことにより回避できる。押圧は微少はんだ11と金属層16bとの冶金的接合が完了した段階で解除されるが、この解除にともなつて、同図(c)に示す如く金属領域111の表面張力

とも固相点又は液相点の高い材料からなることを必須とするが、この観点から金属領域の代替材料を選択すると、例えば微少はんだが40重量%鉛-60重量%錫や50重量%鉛-50重量%インジウムの如き材料である場合、95重量%鉛-5重量%錫又はこれに第三元素としての銅、銀、金、アンチモン、亜鉛、ニッケル等を添加した如き材料や、金-シリコン、金-グルマニウム、金-錫、金-アンチモン合金の如き金系ソルダあるいは金を錫で代替したような材料であるのが望ましい。又、微少はんだとして最も一般的に用いられる95重量%鉛-5重量%錫の如き材料を選択する場合であつても、上記必須事項が満足される範囲で95重量%鉛-5重量%錫系に第三元素を添加した材料であつてもよい。

本発明の典型的実施例では、微少はんだ11は金属層15b又は16bより直径の小さい部分を有するように形状制御されたが、形状制御の程度はパッケージ構造体の使用条件及び要求される信頼性の程度に応じて適宜決定されるべきものであ

る。この意味で、許容され得るならば、微少はん
だ11は金属層15b又は16bより直徑の大き
い部分を有するような略柱状に形状制御されても
よい。又、形状制御手段としての金属領域は、微
少けんんだ11の形状制御を可能ならしめる範囲で
必要最少限の数だけ配置されていれば良いもので
あり、この意味で最外周領域全域に配置されてい
なくともよく、必要なら内周領域にも適宜配置す
ることも可能である。

本実施例において、内周領域の微少はんだ11
は形状が改良されており、外周領域の金属領域
111は降伏強度が高められている。この結果、
チップサイズが大型化された場合であつても、パ
ッケージ構造体として致命的な物理的故障を回避
できるこの一例を以下に示す。第4図は本実施例
パッケージ構造体に-55°Cから150°Cまでの
温度変化をくり返し与えて加速的に劣化させたと
きの、接続部断線不良による寿命の分布であり、
図中Aで示される。寿命は单一のチップ10が
LSIとして回路機能を消失した時の温度サイク

周部に配置される金属領域 111 の塑性変形を抑制し、もつて疲労破壊を軽減するのに大きく貢献している。

上記実施例において、微少はんだとの間で接着界面を構成する金属層15, 16はクロム又は銅、ニッケル、金からなる積層金属層である。この積層構造の中で、クロム層は半導体基体、半導体基体上の配線金属、そして銅層は誘電体、誘電体基板上の配線金属との接着性を維持するための役割を担うものであり、クロムの置換材料としては、チタニウム、モリブデン、タンクステン、アルミニウム、白金、銀が与えられ、そして銅の置換材料としては、銀、パラジウム、金、モリブデン、タンクステン、又はこれらの混合物が与えられる。ニッケルは上記クロム層又は銅層とはんだ材料との接触を阻止して安定した接着力を維持するものであり、この置換材料としては銅、白金、パラジウム、が与えられる。金はニッケル層の酸化を防止するとともにはんだ材に対するぬれ性を付与するもので、これを銀、白金、パラジウムに置換で

ル数で表現されている。同図を参照して明らかかのように、本実施例パッケージ構造体は平均寿命約2000サイクルを有しているが、-3°のレベルでの寿命は1500サイクルと推測し得る。同図には比較例としての結果をBとして示してある。これは、本実施例と同一サイズのL.S.Iチップをアルミナ多層配線基板上に改良されない形状の微少はんだにより接続したパッケージ構造体に関するものである。平均寿命及び-3°レベルでの寿命とも、本実施例の結果の方が優位にある。上記温度差は人為的に作つた加速条件であつて、高溫に制御された環境下では、実質的にパッケージ構造体に与えられる温度変化幅は大幅に縮小される、したがつて、本パッケージ構造体は、実際の稼動条件のもとでは、第4図から読み取られる値より一個長期にわたつての安定動作が可能である。

上述したように、本発明において金属領域 111 は少なくとも微少はんだ 11 上り降伏強度が大きいことが必要であるが、このことは熱的変化にともなり熱応力なし歪の影響を最も受けやすい外

きる。しかし、清浄に制御された雰囲気下ではん
だ付けする際は、上記金又はその置換材料を設け
ない構成の金属層であつてもよい。又、誘電体基
板上の金属層は蒸着の如き手法で形成したものに
限られず、例えば銅、モリブデン、タンクステン、
金一パラジウム焼成導体の如き金属配線にニッケ
ルめつき、金めつき等を施したものであつてもよ
い。

半導体基体 10 としてはシリコンが一般的であるが、ひ化ガリウムの如き化合物半導体であつてもよく、そのサイズは半導体基体とともに結合される基板材質との組合せに応じて任意に変え得る。

誘電体基板12としてはアルミニウム以外に、誘電率が小さく高速化の点で有利なムライト、有機樹脂を母材とした基板が好ましいが、高速性を要求されない応用分野においては、ガラス、炭化ケイ素、塗化アルミニウム、塗化シリコンの如き绝缘物であつてもよい。又、これら以外の基板であつても回路構成上の設計仕様を満すことが可能ならば使用できるが、代表的にはシリコンの如き半導

体上に誘電体層を形成し配線パターンを設けた基板あるいは金属板上に誘電体層を形成し配線パターンを設けた基板も上記誘電体基板12の中に含まれる。

微少はんだ11は鉛-錫系合金を主体にした材料が一般的に使用されるが、これにビスマス、アルミニウム、銀、金、銅、インジウムの如き金属を添加した系であつても使用できる。この際、形状制御手段としての金属領域111は、上述した固相点又は液相点、降伏強度に関する必須事項が満足される材料を選択されるべきである。

〔発明の効果〕

本発明は、大型半導体基体を誘電体基板に電気的に高密度多点接続するに当り、パッケージ構造体の信頼性に重大な影響を及ぼす接続部の疲労破壊を防止する構造を開示するものである。本発明では熱応力が大きく及ぶ領域の接続部形状を制御して局所的な最大応力を軽減しており、微少接続部は半導体基体の略全面に設けられていて、

これらの接続部の全てが電気的結合並びに機械的結合の役割を担つており、パッケージ構造体の高密度多点接続及び高機能化に寄与する。

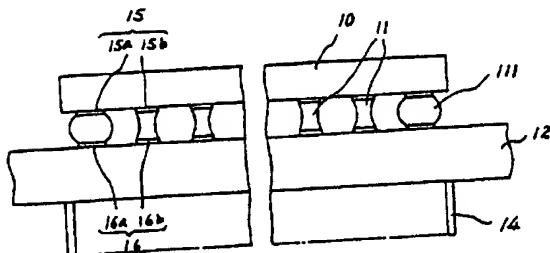
図面の簡単な説明

第1図は本発明の微少接続パッケージ構造体の実施例の概略断面図、第2図は第1図の斜視図、第3図の(A)、(B)、(C)は第1図の構造体の製作順の説明図、第4図は第1図の構造体の接続部断線不良による寿命分布図である。

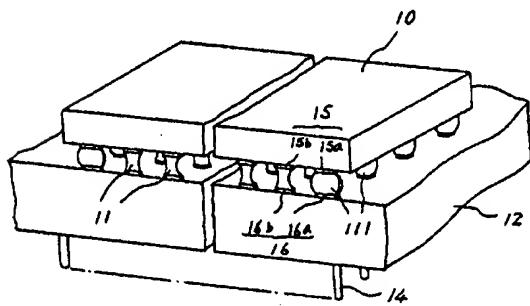
10…LSIチップ、12…誘電体基板、14…接続ピン、111…金属領域。

代理人弁理士 高橋明夫 小川正男

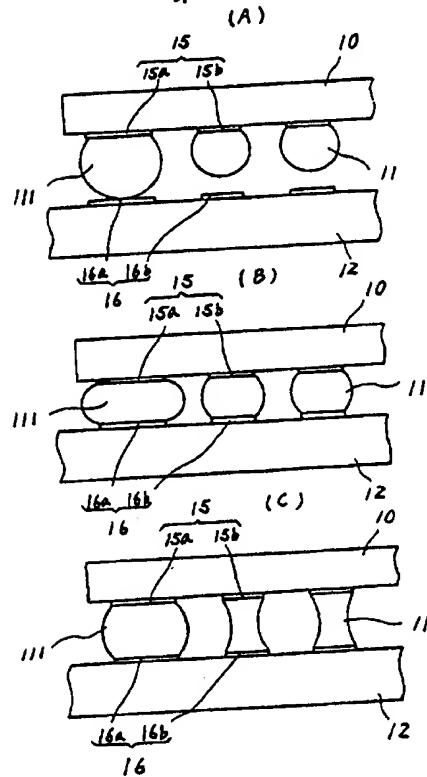
第1図



第2図



第3図



第4図

